

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

02487125 **Image available**

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 63-104025 [JP 63104025 A]

PUBLISHED: May 09, 1988 (19880509)

INVENTOR(s): UKITA KENJI

 KURODA HIROSHI

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company
 or Corporation), JP (Japan)

APPL. NO.: 61-249927 [JP 86249927]

FILED: October 21, 1986 (19861021)

INTL CLASS: [4] G02F-001/133; G02F-001/133; G09F-009/30

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.9
 (COMMUNICATION -- Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS)

JOURNAL: Section: P, Section No. 760, Vol. 12, No. 350, Pg. 33,
 September 20, 1988 (19880920)

ABSTRACT

PURPOSE: To obviate a degradation in the display characteristic of a liquid crystal display device and an increase in the cost of the production thereof and to suppress generation of a gap between metal and sealing resin by forming the metal around the sealing resin adhered part on a 1st substrate so as to have the same structure with both a source bus electrode and gate bus electrode.

CONSTITUTION: The same metal 4 as the metal of the gate bus electrode 2 is preliminarily patterned in the sealing resin 9 adhered part of the source bus electrode 3 and near the same at the time of patterning the gate bus electrode 2 and thereafter, the film of the metal to be formed as the source bus electrode 3 is formed and patterned. The source bus electrode 3 is so patterned as not to overlap on the same metal 4 as the metal of the gate bus electrode 2 in the sealing resin 9 adhered part. The sealing resin

adhered part on the 1st substrate is made into the shape of a small step at the time of packing the sealing resin and, therefore, the generation of the gap between the sealing resin 9 and the metal on the 1st substrate 1 is suppressed without increasing the resistance of the source bus electrode 3, increasing the cost, complicating the process and decreasing the yield.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-104025

⑬ Int.Cl. ⁴	識別記号	庁内整理番号	⑭ 公開 昭和63年(1988)5月9日
G 02 F 1/133	3 2 7	8205-2H	
	3 2 3	8205-2H	
G 09 F 9/30	3 3 8	K-6866-5C	審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 液晶表示装置

⑯ 特 願 昭61-249927

⑰ 出 願 昭61(1986)10月21日

⑱ 発 明 者	宇 喜 多 謙 二	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	黒 田 啓	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑳ 出 願 人	松下電器産業株式会社	大阪府門真市大字門真1006番地	
㉑ 代 理 人	弁理士 中尾 敏男	外1名	

明 細 書

1. 発明の名称

液晶表示装置

2. 特許請求の範囲

透明電極を備えた第1の基板、前記第1の基板と適度の空隙を残して対置される第2の基板、前記第2の基板上にマトリックス状に配置されてなる複数の表示電極、前記空隙に液晶組成物が封入されてなる液晶表示装置であって、前記液晶表示装置周辺のシール樹脂接着部における前記第2の基板上の金属が、ソースバス電極、ゲートバス電極ともに同一の金属となる構造を有する液晶表示装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は液晶と半導体集積回路を組み合わせることによって構成される液晶表示装置に関するものである。

従来の技術

従来の液晶表示装置では、たとえば第4図、第

5図、第6図のようになっていた。すなわちシール樹脂接着部の第1の基板上の金属がソースバス側とゲートバス側とで異なっていた。

発明が解決しようとする問題点

このような従来の構造では、ソースバス電極である金属の膜厚が厚く、第5図に見られるように第1の基板上に大きな段差が形成されるため、シール樹脂充填時に金属3とシール樹脂9との間に空隙が発生しやすく、その空隙から液晶組成物8が漏れ出ることを防止するため段差を除去しなければならなかったが、以下の理由で困難があった。つまり、第1の基板上の段差を除去するためにはソースバス電極3全体の膜厚を薄くするか、あるいはソースバス電極3のシール樹脂接着部のみをエッチング等により薄くしなければならない。しかしソースバス電極3全体を薄くすることはソースバス電極3の抵抗の増大を招き、それは液晶表示装置の表示特性の低下を意味し、またエッチングを行なうことは新たなマスクを必要とするため、コストの増大、プロセスの複雑化、歩留まりの低

下等の問題点を有していた。

問題点を解決するための手段

本発明は上記問題点を解決するため、ソースバス電極3においてシール樹脂接着部が、ゲートバス電極2と同一の金属膜にて構成された構造を有するものである。

作用

本発明は上記した構成によって第1の基板上のシール樹脂接着部がシール樹脂充填時に段差の小さな形状となるため、ソースバス電極3の抵抗の増大、コストの増大、プロセスの複雑化、歩留まりの低下を招くことなく、シール樹脂9と第1の基板との金属との間の空隙の発生が抑制されることになる。

実施例

以下、本発明の一実施例を添付図面に基づいて説明する。第3図においてゲートバス電極2をパターニング時に従来例(第6図)と異なりソースバス電極3のシール樹脂接着部およびその近傍にゲートバス電極と同じ金属4をパターニングして

おき、その後ソースバス電極3となる金属を成膜、パターニングする。その際ソースバス電極3はシール樹脂接着部においてゲートバス電極と同じ金属4と重ならないようにパターニングする。

以上のように本一実施例によればシール樹脂接着部近傍の断面図は第1図および第2図となり、従来例(第4図、第5図)と比べて第1の基板上の段差が小さくなっている。

発明の効果

以上のように本発明は第1の基板上のシール樹脂接着部周辺の金属がソースバス電極、ゲートバス電極ともに同一であるという構造を有することにより、液晶表示装置の表示特性の低下、製造コストの増加を招くことなく、金属とシール樹脂との間の空隙の発生を抑制することができる。

4. 図面の簡単な説明

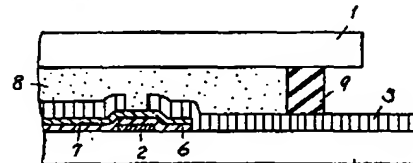
第1図は本発明の一実施例における液晶表示装置を示すゲートバス側から見た断面図、第2図はソースバス側から見た断面図、第3図は平面図、第4図、第5図および第6図は従来の液晶表示装

置の断面図および平面図である。

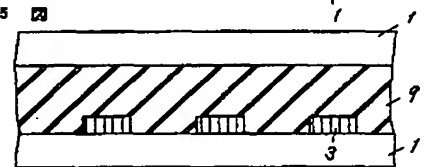
1……ガラス基板、2……ゲートバス電極、3……ソースバス電極、4……シール部ソースバス電極、5……ドレイン電極、6……絶縁SiN層、7…… α -Si層、8……液晶封入物、9……シール樹脂、10……透明線素電極。

代理人の氏名 弁理士 中尾敏男 ほか1名

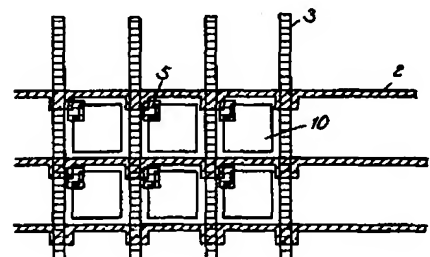
第4図



第5図

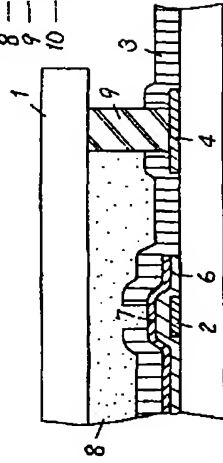


第6図

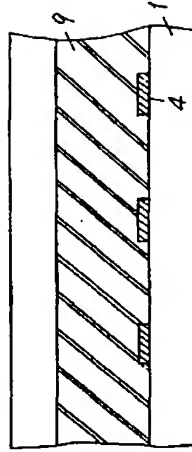


- 1 — ガラス基板
- 2 — ゲートバース電極
- 3 — ソースバース電極
- 4 — シェル層
- 5 — ドレイン電極
- 6 — 絶縁Si₃N₄層
- 7 — 水素層
- 8 — 液晶封入物
- 9 — シェル樹脂
- 10 — 透明検査電極

第 1 図



第 2 図



第 3 図

